



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020043395

(43) Publication.Date. 20020610

(21) Application No.1020000073055

(22) Application Date. 20001204

(51) IPC Code:

H01L 23/36

(71) Applicant:

AMKOR TECHNOLOGY KOREA, INC.

(72) Inventor:

JUNG, EUN YEONG

(30) Priority:

(54) Title of Invention

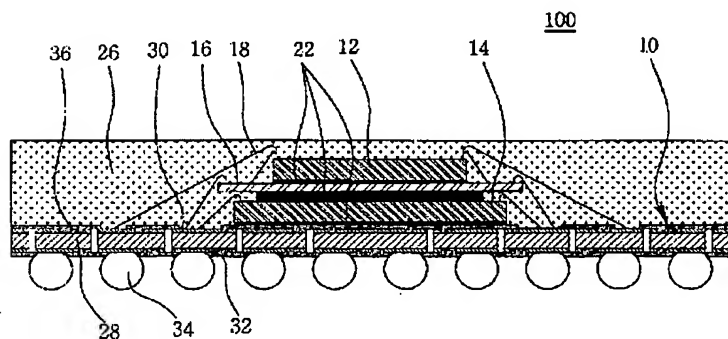
SEMICONDUCTOR PACKAGE

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor package is provided to improve efficiency of thermal emission by increasing a bonding region.

CONSTITUTION: A resin layer(28) is used as a base layer of a printed circuit board(10). A conductive pattern is formed on both sides of the resin layer(28). A cover coating layer(36) is formed on the resin layer(28). A wire bonding conductive pattern(30) is exposed to an upper face. A fetch bonding conductive pattern(32) is exposed to a bottom face. A lower chip(14) is adhered on a chip mounting region of the printed circuit board(10) by using an adhesive member(22). An upper chip(12) is adhered on a center of an upper face of a heat slug(14). A part of a bonding pad is exposed by a groove of the heat slug(14). The bonding pad of the lower chip(14) is bonded with the wire bonding conductive pattern(30) of the printed circuit board(10) by using a wire(18).



© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶ (11) 공개번호 특2002-0043395

H01L 23 /36 (43) 공개일자 2002년06월10일

(21) 출원번호 10-2000-0073055

(22) 출원일자 2000년12월04일

(71) 출원인 앰코 테크놀로지 코리아 주식회사

(72) 발명자 광주 북구 대촌동 957
정은영

(74) 대리인 경기도파주시문산읍문산4리군인아파트1동206호
허상훈

심사청구 : 없음

(54) 반도체 패키지

요약

본 발명은 반도체 패키지에 관한 것으로서, 반도체 칩을 상하로 적층하되, 열전도성의 히트슬러그를 이용하여 제조된 반도체 패키지를 제공하고자 한 것이다.

이에, 반도체 칩에서 발생되는 열을 히트슬러그를 통하여 방출시킬 수 있는 효과를 제공할 수 있고, 또한 상기 히트슬러그를 상하로 적층된 칩의 파워 또는 그라운드 본딩 영역으로 사용할 수 있도록 함으로써, 반도체 칩의 그라운드 본딩을 여러곳에 실시할 수 있는 점을 수용하여, 반도체 칩의 전기적인 성능을 향상시킬 수 있는 장점을 제공하게 된다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1a는 본 발명에 따른 반도체 패키지의 일실시예를 나타내는 단면도,

도 1b는 본 발명에 따른 반도체 패키지의 일실시예를 나타내는 평면도로서, 와이어 본딩이 실시되는 상태를 나타낸다.

도 2a는 본 발명에 따른 반도체 패키지의 다른 실시예를 나타내는 단면도,

도 2b는 본 발명에 따른 반도체 패키지의 다른 실시예를 나타내는 평면도로서, 와이어 본딩이 실시되는 상태를 나타낸다.

도 5는 종래의 칩 적층형 반도체 패키지를 나타내는 단면도.

(도면의 주요 부분에 대한 부호의 설명)

10 : 인쇄회로기판 12 : 상부칩

14 : 하부칩 16 : 히트슬러그

18 : 와이어 20 : 연장단

22 : 접착수단 24 : 요홈

26 : 수지 28 : 수지층

30 : 와이어 본딩용 전도성패턴 32 : 인출단자 부착용 전도성패턴

34 : 인출단자 36 : 커버코트

100,200,300 : 반도체 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로서, 더욱 상세하게는 그라운드 본딩 영역의 면적을 증대시켜 적층된 칩의 그라운드 본딩수를 증가시킬 수 있고, 열방출 효과를 크게 얻어낼 수 있도록 히트슬러그를 이용하여 제조된 칩 적층형 반도체 패키지에 관한 것이다.

일반적으로 반도체 패키지는 회로가 집적되어 있는 반도체 칩을 외부로부터 보호하기 위하여 밀봉하되, 반도체 칩으로부터 각종 입출력 신호용 단자를 여러가지 방식으로 인출시킬 수 있도록 리드프레임, 인쇄회로기판, 회로필름등의 각종부재를 이용하여 다양한 구조로 제조되고 있다.

또한, 반도체 패키지는 반도체 칩이 전기적인 신호를 빠르게 입출력함에 따라 발생하는 열을 효과적으로 방열할 수 있는 구조, 고속 동작의 수행을 위하여 공통적으로 많은 수의 입출력 단자를 수용할 수 있는 구조, 휴대용 전자제품의 소형화 경향으로 인하여 협소한 실장 공간에 맞게 단위체적당 실장효율을 높일 수 있는 구조등으로 제조되고 있다.

최근에는, 동일한 크기 또는 서로 다른 크기의 반도체 칩을 적층한 구조의 반도체 패키지가 제조되고 있는 바, 이는 패키지 부피의 증가 없이도 메모리의 용량을 배가시키거나, 원(One) 칩으로 통합시키기 어려운 복합기능을 하나의 패키지 안

에서 해결할 수 있는 장점을 제공한다.

여기서 종래의 칩 적층형 반도체 패키지의 구조를 첨부한 도 3을 참조로 간략히 설명하면 다음과 같다.

상기 반도체 패키지(300)는 인쇄회로기판(10)을 이용하여 상하로 적층한 패키지로서, 인쇄회로기판(10)의 칩탑재영역에 에폭시수지와 같은 접착수단(22)으로 부착된 하부칩(14)과; 이 하부칩(14)상에 필름 접착수단(22)으로 부착된 보다 작은 크기의 상부칩(12)과; 상기 상부칩(12)과 하부칩(14)의 본딩패드와, 상기 인쇄회로기판(10)의 상면으로 노출된 와이어 본딩용 전도성패턴(30)간에 연결된 와이어(18)와; 상기 상부칩(12)과 하부칩(14), 각 와이어(18)들을 외부로부터 보호하기 위하여 몰딩하고 있는 수지(26)와; 상기 인쇄회로기판(10)의 저면으로 노출된 인출단자 부착용 전도성패턴(32)에 부착된 인출단자(34)등으로 구성되어 있다.

그러나, 상기와 같은 반도체 칩 적층형 반도체 패키지는 두 개의 칩이 적층되어 고집적화됨에 따라, 반도체 칩에서 많은 열을 발생하는 단점이 있고, 또한 반도체 칩의 파워 또는 그라운드 본딩을 인쇄회로기판의 설계상 미리 정해진 전도성패턴에만 한정시켜 실시함에 따라, 최근 반도체 칩의 전기적인 성능을 향상시키기 위하여 그라운드 본딩을 여러곳에 하는 실시하는 점을 만족시키지 못하는 단점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 점을 감안하여, 반도체 칩을 상하로 적층하되, 열전도성의 히트슬러그를 이용하여 제조된 반도체 패키지를 제공하는데 그 목적이 있다.

이에, 반도체 칩에서 발생하는 열을 히트슬러그를 통하여 방출시킬 수 있는 효과를 제공할 수 있고, 또한 상기 히트슬러그를 상하로 적층된 칩의 파워 또는 그라운드 본딩 영역으로 사용할 수 있도록 함으로써, 반도체 칩의 그라운드 본딩을 여러곳에 실시할 수 있는 점을 수용하여, 반도체 칩의 전기적인 성능을 향상시킬 수 있게 된다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은:

베이스층의 수지층과, 이 수지층의 양면에 식각 처리된 전도성패턴과, 상기 전도성패턴의 일부를 외부로 노출시키면서 수지층상에 도포된 커버코트로 구성되어 있는 인쇄회로기판과; 상기 인쇄회로기판의 칩탑재영역에 접착수단에 의하여 상하로 적층 부착된 상부칩 및 하부칩과; 상기 상부칩과 하부칩의 본딩패드와, 인쇄회로기판의 와이어 본딩용 전도성패턴간에 연결된 와이어와; 상기 상부칩 및 하부칩, 와이어등을 몰딩하고 있는 수지로 구성된 반도체 패키지에 있어서,

상기 상부칩과 하부칩 사이에 열전도성의 히트슬러그를 부착하고, 상부칩 및 하부칩의 파워 또는 그라운드용 와이어가 상기 히트 슬러그에 본딩되어 달성된 것을 특징으로 한다.

상기 히트 슬러그는 외곽면에 다수의 요홈이 등간격으로 배열된 판형으로 성형된 것을 특징으로 한다.

또는, 상기 히트 슬러그는 각 모서리에 수직 절곡된 연장단이 일체로 성형된 판형으로 성형된 것을 특징으로 한다.

바람직한 구현예로서, 상기 상부칩과 하부칩의 그라운드 본딩 영역에 해당되는 히트슬러그의 상면은 와이어와의 본딩 결합력이 우수한 재질로 도금된 것을 특징으로 한다.

더욱 바람직한 구현예로서, 상기 하부칩의 파워 또는 그라운드용 본딩패드와 상기 히트슬러그간에 연결된 와이어는 리버스 본딩으로 연결된 것을 특징으로 한다.

특히, 상기 히트슬러그의 연장단 하단끝 저면은 마더보드 실장되는 면적으로 외부로 노출되도록 한 것을 특징으로 한다

여기서 본 발명의 실시예를 첨부한 도면에 의거하여 더욱 상세하게 설명하면 다음과 같다.

첨부한 도 1a는 본 발명에 따른 반도체 패키지의 일 실시예를 나타내는 단면도이고, 도 1b는 상부칩과 하부칩의 와이어 본딩 상태를 나타내는 평면도로서, 상부칩은 그라운드 본딩된 상태만 도시되어 있다.

상기 반도체 패키지(100)는 인쇄회로기판(10)을 이용하여 제조된 것이지만, 가요성 수지필름상에 전도성패턴이 식각처리된 형태의 회로필름 부재를 이용하여 제조하여도 무방하다.

상기 인쇄회로기판(10)은 베이스층의 수지층(28)과, 이 수지층(28)의 양면에 전기적인 신호 흐름 라인을 이루며 식각 처리된 전도성패턴과, 상기 전도성패턴의 일부를 외부로 노출시키면서 상기 수지층(28)상에 도포된 커버코트(36)로 구성되어 있고, 특히 상기 전도성패턴들 중에서 와이어 본딩용 전도성패턴(30)이 상면으로 노출되고, 인출단자 부착용 전도성패턴(32)이 저면으로 노출되어 있다.

여기서, 상기 인쇄회로기판(10)의 커버코트(36)로 도포되어 있는 상면 중앙의 침탐재영역에 먼저 하부칩(14)을 에폭시수지와 같은 접착수단(22)으로 부착하고, 이 하부칩(14)의 상면에 열전도성의 히트슬러그(16)를 필름 접착수단(22)으로 부착하며, 상기 히트슬러그(14)의 상면 중앙에 상부칩(12)을 필름 접착수단(22)으로 부착한다.

상기 히트슬러그(14)는 외측면에 요홈(24)이 등간격으로 형성된 판형 형상으로 성형된 것으로서, 구리(Cu)와 은(Ag)등과 같은 열전도성이 우수한 재료로 성형된 것이다.

또한, 상기 히트슬러그의 상면 일정부위에는 와이어와의 본딩 결합력이 우수한 금(Au)과 같은 재료로 도금된다.

이때, 첨부한 도 1b에 도시한 바와 같이 상기 히트슬러그(14)의 요홈(24)을 통하여 하부칩(14)의 일부 본딩패드가 위쪽을 향하여 노출된 상태가 되는 바, 이 요홈(24)을 통하여 위쪽으로 노출된 하부칩(14)의 본딩패드는 파워 또는 그라운드 본딩용으로 사용하는 것이 바람직하고, 그 이유는 후술하는 바와 같이 보다 높은 위치에 있는 히트슬러그(14)면에 리버스 본딩을 용이하게 실시할 수 있도록 하는데 있다.

특히, 상기 필름 접착수단(22)의 두께를 상기 하부칩(14)의 본딩패드와 인쇄회로기판(10)의 와이어 본딩용 전도성패턴간(30)을 연결하는 와이어의 최대높이가 히트슬러그(16)의 저면에 닿지 않을 정도로 조절해주는 것이 바람직하다.

여기서 상기와 같이 적층된 상부칩(12)과 하부칩(14)의 와이어 본딩 상태를 살펴보면 다음과 같다.

먼저, 하부칩(14)의 본딩패드와, 인쇄회로기판(10)의 와이어 본딩용 전도성패턴(30)간이 와이어(18)로 본딩되는 바, 상기 하부칩(14)의 파워 또는 그라운드 본딩은 상기 히트슬러그(16)의 상면에 리버스 본딩(Reverse bonding)으로 실시된다.

좀 더 상세하게는, 캐필러리와 같은 와이어 본딩수단이 보다 높은 위치에 있는 상기 히트슬러그(16)의 상면(금으로 도금된 부위)에 볼을 형성한 후 와이어를 끈어주고, 연이어 상기 하부칩(14)의 그라운드 본딩용 패드에 1차본딩(볼본딩(Ball bonding))을 하고, 상기 히트슬러그(16)의 상면에 형성된 볼에 2차 본딩(스티치본딩(Stitch bonding))을 실시함으로써, 하부칩(14)과 히트슬러그(16)간에 파워 또는 그라운드 와이어 본딩이 완료된다.

이때, 캐필러리와 같은 와이어 본딩수단이 상기 히트슬러그(16)에 먼저 볼을 형성하는 이유는, 히트슬러그(16)에 곧바로 2차본딩이 이루어지면 와이어가 잘 붙지 않게 되는 점을 고려하여, 2차 본딩시 와이어(18)가 잘 붙을 수 있도록 볼을 형성해주는 것이다.

다음으로, 상기 상부칩(12)과, 인쇄회로기판(10)의 와이어 본딩용 전도성패턴(30)간을 와이어(18)로 본딩하는 바, 마찬가지로

지로 상부칩(12)의 파워 또는 그라운드 본딩은 상기 히트슬러그(16)의 상면에 실시하게 된다.

물론, 상기 히트슬러그(16)와, 인쇄회로기판(10)의 파워 또는 그라운드 본딩용 전도성패턴간에도 와이어(18)로 본딩되어 진다.

따라서, 상기 상부칩(12)과 하부칩(14)에 대한 그라운드 처리는 상기 히트슬러그(16)와, 인쇄회로기판(10)의 그라운드 본딩용 전도성패턴과, 후술하는 인출단자(34)를 경유하여, 인출단자(34)가 부착된 마더보드의 접지영역에까지 그라운드용 전기신호가 닿음으로써, 이루어지게 된다.

한편, 상기 상부칩(12)과 하부칩(14)의 그라운드 와이어 본딩을 상기 히트슬러그(16)에 여러개로 연결함에 따라, 상부칩(12)과 하부칩(14)의 전기적인 성능을 향상시킬 수 있게 된다.

다음으로, 상기 상부칩(12)과 하부칩(14)과 히트슬러그(16)와 각 와이어(18)등을 외부로부터 보호하기 위하여 수지(26)로 몰딩하는 공정을 진행하고, 인쇄회로기판(10)의 저면으로 노출된 인출단자 부착용 전도성패턴(32)에 전도성의 솔더볼과 같은 인출단자(34)를 부착함으로써, 도 1a에 도시한 바와 같은 본 발명의 반도체 패키지(100)로 제조된다.

또 다른 효과로서, 상기 히트슬러그(16)는 열전도성이 우수한 재료로 성형된 것이기 때문에, 상부칩(12)과 하부칩(14)에서 발생하는 열을 와이어(18)와 전도성패턴, 인출단자(34)를 경유하여 신속하게 외부로 방출시킬 수 있다.

여기서, 본 발명의 다른 실시예를 첨부한 도 2a, 2b를 참조로 설명하면 다음과 같다.

다른 실시예로서, 상기 반도체 패키지(200)에 적용된 히트슬러그(16)는 다른 구조로 성형된 것으로서, 대략 사각 판형의 각 모서리에 수직 절곡된 연장단(20)이 일체로 형성되고, 마찬가지로 열전도성이 우수한 구리(Cu), 은(Ag) 재료로 성형된 것이다.

따라서, 상기 인쇄회로기판(10)의 칩탑재영역에 하부칩(14)을 에폭시수지와 같은 접착수단(22)으로 부착하고, 이 하부칩(14)의 상면에 상기 히트슬러그(16)를 필름 접착수단(22)으로 부착하며, 상기 히트슬러그(16)의 상면 중앙에 상부칩(14)을 필름 접착수단(22)으로 부착하게 된다.

이때, 상기 히트슬러그(16)의 연장단(20)의 하단끝은 인쇄회로기판(10)의 각 모서리 부위에 위치되어, 그 저면이 인쇄회로기판(10)의 저면으로 노출된 상태가 된다.

여기서 상기 상부칩(12)과 하부칩(14)의 본딩패드와, 인쇄회로기판(10)의 와이어 본딩용 전도성패턴(30)간을 와이어(18)로 본딩하되, 상술한 일실시예와 마찬가지로 파워 또는 그라운드용 와이어 본딩은 상기 히트슬러그(16)의 상면에 실시하게 된다.(도 2b 참조)

다음으로, 상기 상부칩(12)과 하부칩(14), 각 와이어(18), 히트슬러그(16)등을 외부로부터 보호하기 위하여 수지(26)로 몰딩하되, 상기 히트슬러그(16)의 연장단(20) 외측면과 하단끝 저면이 외부로 노출되도록 몰딩을 하고, 인쇄회로기판(10)의 저면에 노출된 인출단자 부착용 전도성패턴(32)에 솔더볼과 같은 인출단자(34)를 부착함으로써, 첨부한 도 2a에 도시한 바와 같은 본 발명의 반도체 패키지(200)로 제조된다.

한편, 상기 인쇄회로기판(10)의 저면으로 노출된 상기 히트슬러그(16)의 연장단(20) 하단끝 저면에도 인출단자(34)를 부착하여, 마더보드(미도시됨)의 접지영역에 부착되도록 한다.

이에따라, 상기 상부칩(12)과 하부칩(14)에 대한 그라운드 처리는 상기 상부칩(12)과 하부칩(14)의 그라운드 신호가 상기 히트슬러그(16)와, 연장단(20)과, 이 연장단(20)의 하단 저면에 부착된 인출단자(34)를 경유하여 마더보드의 접지영역에까지 그라운드용 전기신호가 닿음으로써, 그라운드 처리가 용이하게 이루어진다.

일실시예와 같이, 상부칩(12)과 하부칩(14)의 그라운드용 본딩을 상기 히트슬러그(16)에 여러개로 실시함으로써, 상부칩(12)과 하부칩(14)의 전기적인 성능을 향상시킬 수 있게 된다.

특히, 상기 히트슬러그(16)의 연장단(20)이 외부로 노출되어 있기 때문에, 상부칩(12)과 하부칩(14)에서 발생하는 열의 방출을 더욱 크게 얻어낼 수 있게 된다.

발명의 효과

이상에서 본 바와 같이, 본 발명에 따른 반도체 패키지에 의하면, 서로 적층되는 상부칩과 하부칩 사이에 열전도성의 히트슬러그를 위치시켜 상부칩과 하부칩의 파워 또는 그라운드 본딩 영역으로 사용할 수 있도록 함으로써, 상부칩과 하부칩의 그라운드 본딩을 여러개로 실시하여 전기적인 성능을 향상시킬 수 있고, 또한 히트슬러그를 통하여 상부칩과 하부칩에서 발생되는 열을 외부로 용이하게 방출시킬 수 있는 장점을 제공하게 된다.

(57) 청구의 범위

청구항 1. 베이스층의 수지층과, 이 수지층의 양면에 식각 처리된 전도성패턴과, 상기 전도성패턴의 일부를 외부로 노출시키면서 수지층상에 도포된 커버코트로 구성되어 있는 인쇄회로기판과; 상기 인쇄회로기판의 칩탑재영역에 접착수단에 의하여 상하로 적층 부착된 상부칩 및 하부칩과; 상기 상부칩과 하부칩의 본딩패드와, 인쇄회로기판의 와이어 본딩용 전도성패턴간에 연결된 와이어와; 상기 상부칩 및 하부칩, 와이어등을 몰딩하고 있는 수지로 구성된 반도체 패키지에 있어서,

상기 상부칩과 하부칩 사이에 열전도성의 히트슬러그를 부착하고, 상부칩 및 하부칩의 파워 또는 그라운드용 와이어가 상기 히트 슬러그에 본딩되어 달성된 것을 특징으로 하는 반도체 패키지.

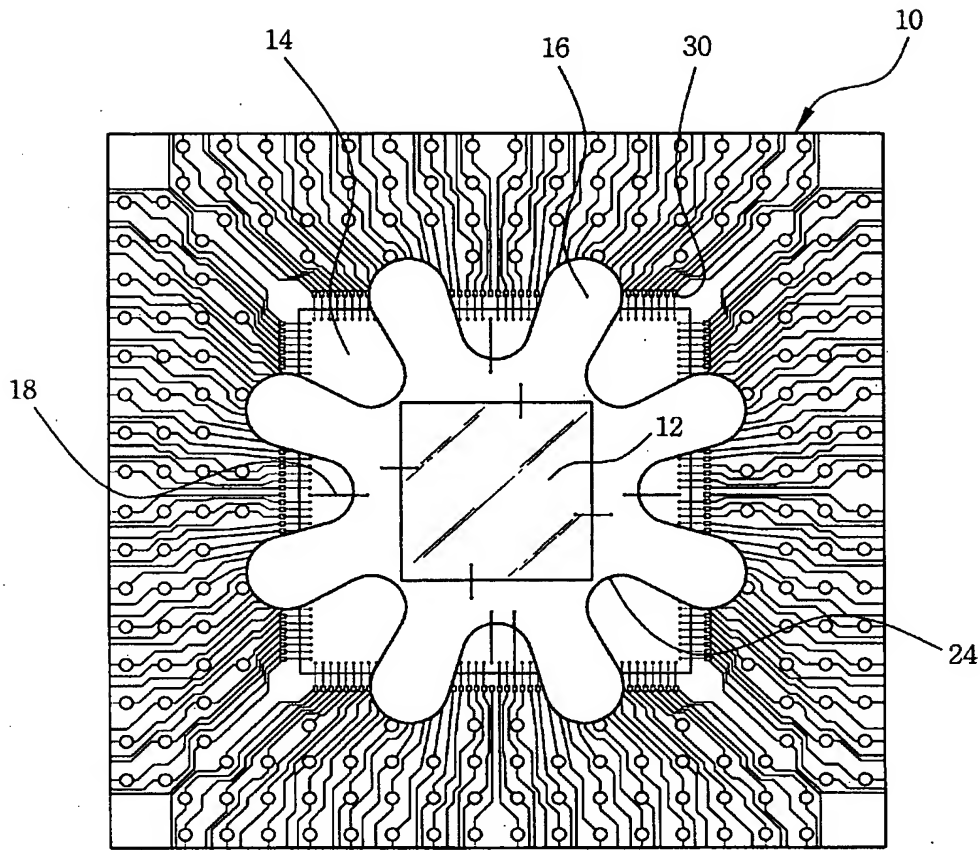
청구항 2. 제 1 항에 있어서, 상기 히트 슬러그는 외곽면에 다수의 요홈이 등간격으로 배열된 판형으로 성형된 것을 특징으로 하는 반도체 패키지.

청구항 3. 제 1 항에 있어서, 상기 히트 슬러그는 각 모서리에 수직 절곡된 연장단이 일체로 성형된 판형으로 성형된 것을 특징으로 하는 반도체 패키지.

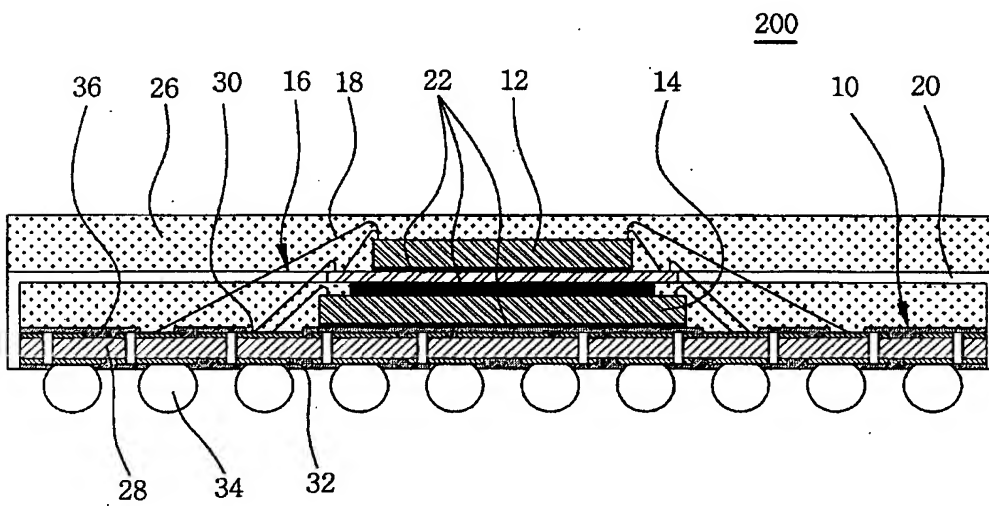
청구항 4. 제 1 항에 있어서, 상기 상부칩과 하부칩의 그라운드 본딩 영역에 해당되는 히트슬러그의 상면 일정부위에는 와이어와의 본딩 결합력이 우수한 재료로 도금된 것을 특징으로 하는 반도체 패키지.

청구항 5. 제 1 항 또는 제 3 항에 있어서, 상기 히트슬러그의 연장단 하단끝은 마더보드에 실장되는 부분으로서 반도체 패키지의 저면으로 노출된 것을 특징으로 하는 반도체 패키지.

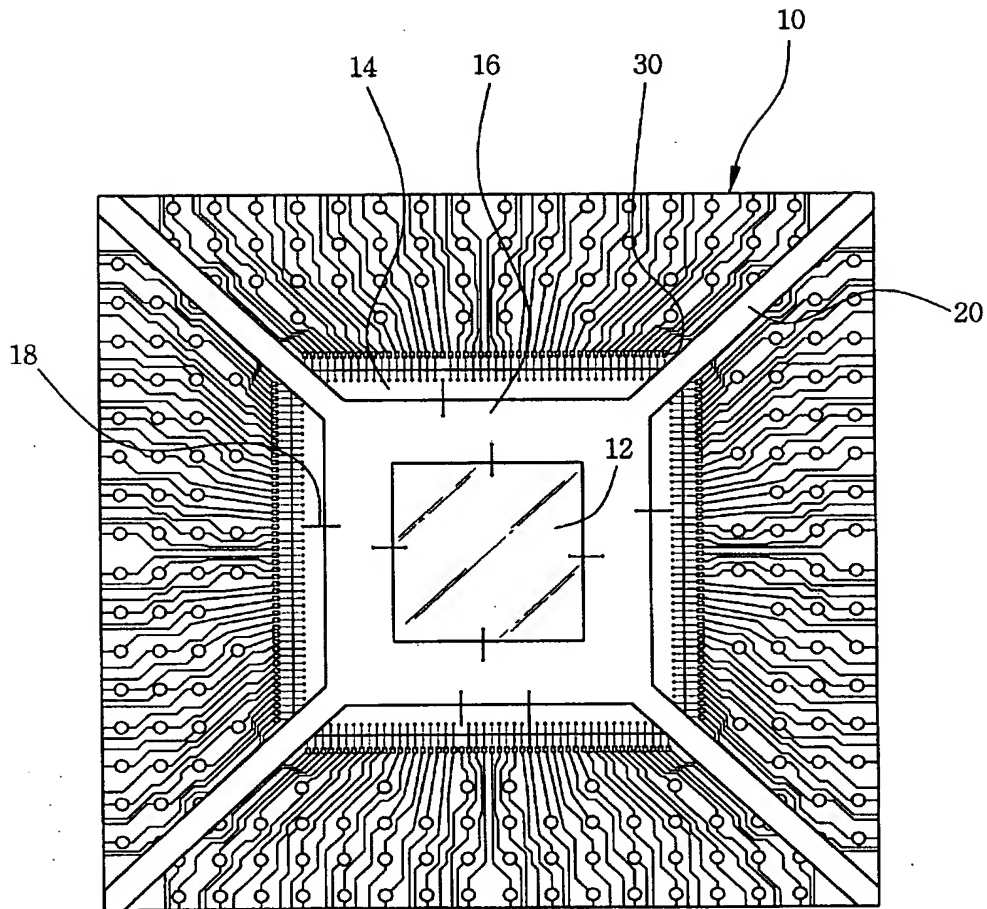
도면



도면2a



도면2b



도면3

